

**PATENT ABSTRACTS OF JAPAN**

(11)Publication number : 52-146569

(43)Date of publication of application : 06.12.1977

(51)Int.CI.

H01L 29/40  
G11C 17/00  
H01L 29/78

(21)Application number : 51-063049

(22)Date of filing : 31.05.1976

(71)Applicant :

TOSHIBA CORP

(72)Inventor :

HORIUCHI SHIGEHARU  
NOZAWA HIROSHI  
MIMURA KATSUICHI**(54) SEMICONDUCTOR MEMORY DEVICE****(57)Abstract:**

**PURPOSE:** The write efficiency of reloadable ROMs is improved by extending the gate electrode positioned between source region and drain region slightly longer to the drain side and increasing the capacity between this and the drain region.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office



⑯日本国特許庁  
公開特許公報

⑮特許出願公開  
昭52-146569

⑯Int. Cl<sup>2</sup>.  
H 01 L 29/40  
G 11 C 17/00  
H 01 L 29/78

識別記号

⑯日本分類  
99(5) E 3  
97(7) C 5

序内整理番号  
7210-57  
7010-56

⑯公開 昭和52年(1977)12月6日  
発明の数 1  
審査請求 未請求

(全 6 頁)

⑯半導体記憶装置

⑯特 願 昭51-63049

⑯發明者 三村勝一

⑯出 願 昭51(1976)5月31日

川崎市幸区小向東芝町1番地

⑯發明者 堀内重治

東京芝浦電気株式会社総合研究所内

川崎市幸区小向東芝町1番地

東京芝浦電気株式会社総合研究所内

同

野沢博

川崎市幸区小向東芝町1番地

⑯出願人 東京芝浦電気株式会社

川崎市幸区堀川町72番地

⑯代理 人 弁理士 鈴江武彦 外2名

明細書

1. 発明の名称

半導体記憶装置

2. 特許請求の範囲

一導電形の半導体基板と、この基板に互いに離間して形成された他の導電形のソース領域並びにドレイン領域と、これら領域間の基板上に絶縁膜を介して形成されたゲート電極構造とを具備し、前記ドレイン領域上部からソース領域側に向つて、ドレイン領域と同導電形の層が延出しており、この延出部上に前記ゲート電極構造の一部が延出しており、この結果、ゲート電極構造とドレイン領域との間の容量を大きくしていることを特徴とする半導体記憶装置。

3. 発明の詳細な説明

この発明は例えばマイクロコンピュータに使用される書き換え可能な読み出し専用半導体メモリ(ROM)のような半導体記憶装置に関するもの。

従来のこの種半導体記憶装置の代表的なもの

として第1図に示すようなフローティングゲート形の装置が知られているので以下にこの例について説明する。

図中、符号1は半導体のシリコン基板であり、この上面には導電形のソース領域2並びにドレイン領域3が夫々拡散により形成されている。これら領域2、3の上部からは互いに対向するようにして一導電形層4、5が延出しており、これら一導電形層4、5間の基板1上には第1のゲート酸化膜6を介して第1のシリコングート電極7が設けられている。また、この第1のゲート電極7上には第2のゲート酸化膜8を介して第2のシリコングート電極9が第1のゲート電極7を覆うようにして設けられている。そしてこの第2のゲート電極9の両端は前記一導電形層4、5上まで延出している。さらに基板1上には夫々保護膜10、11が設けられている。尚図中符号12並びに13は、夫々ソース電極並びにドレイン電極である。

以上のような構成の半導体記憶装置の動作を

次に説明する。

前記第1のシリコンゲート電極7は直流通じて他の電極とは電気的に接続されておらず、いわゆるフローティング電極であり、第2のシリコンゲート電極9がメモリセル選択用電極を構成している。今、第1のシリコンゲート電極7とシリコン基板1、第2のシリコンゲート電極9、ソース側2と導電形層4並びにドレイン側6と導電形層5との間の容量を夫々C<sub>1</sub>、C<sub>2</sub>、C<sub>3</sub>、並びにC<sub>4</sub>とし、ソース電極12およびシリコン基板1を夫々接地し、ドレイン電極13に電圧V<sub>D</sub>そして第2のシリコンゲート電極9に電圧V<sub>G</sub>を印加した場合、その等価回路は第2図のようによく表わされる。したがつて、第1のシリコンゲート電極7の電位V<sub>F</sub>は、この電極に電荷Q<sub>S</sub>が蓄積されているとすれば次式で表わされる。

$$V_F = \frac{C_2 V_G + C_4 V_D + Q_S}{C_1 + C_2 + C_3 + C_4} = V_D + \frac{C_2 V_G - (C_1 + C_2 + C_3) V_D + Q_S}{C_1 + C_2 + C_3 + C_4} \quad (1)$$

ここで蓄積される電荷Q<sub>S</sub>はシリコン基板1

と第1のゲート酸化膜6との界面における障壁が正孔に対してよりも電子に対してのほうが低いため、電子によつている。

次に、読み出し動作について説明すると、今第1のシリコンゲート電極7に対するしきい値電圧をV<sub>tB</sub>とすれば、第2のシリコンゲート電極9に印加される電圧V<sub>G</sub>がV<sub>G</sub> <  $\frac{C_1 + C_2 + C_3 + C_4}{C_2} V_{tB} - \frac{C_4 V_D + Q_S}{C_2}$  の時第1シリコンゲート電極7の電位V<sub>F</sub>はV<sub>F</sub> < V<sub>tB</sub>となり、このトランジスタにより構成されているメモリセルは非導通状態になる。したがつてV<sub>G</sub>をC<sub>1</sub>+C<sub>2</sub>+C<sub>3</sub>+C<sub>4</sub>/C<sub>2</sub>・V<sub>tB</sub>-C<sub>4</sub>V<sub>D</sub>+Q<sub>S</sub>/C<sub>2</sub> > V<sub>G</sub> > (C<sub>1</sub>+C<sub>2</sub>+C<sub>3</sub>+C<sub>4</sub>) / C<sub>2</sub>・V<sub>tB</sub>-C<sub>4</sub>V<sub>D</sub>/C<sub>2</sub>と選ぶことにより、メモリセルが導通すれば蓄積電荷がなく、非導通ならば電荷の蓄積があり、したがつて"0"、"1"の情報が読み出されることになる。但し、V<sub>G</sub>、V<sub>D</sub>は後に述べるように、読み出し時に誤書き込みが生じないよう電子の注入が生じない範囲に選ばなければならない。

上記装置において、情報の消去は例えば紫外

線を照射することによりおこなわれる。次に情報の書き込み動作について説明する。前述したように、第2のシリコンゲート電極9に印加する電圧V<sub>G</sub>がV<sub>G</sub> > (C<sub>1</sub>+C<sub>2</sub>+C<sub>3</sub>+C<sub>4</sub>)/C<sub>2</sub>・V<sub>tB</sub>-C<sub>4</sub>V<sub>D</sub>/C<sub>2</sub>とすれば、書き込みのおこなわれていないメモリセルは導通し、ソース領域2とドレイン領域3との間にドレイン電流が流れ、電圧V<sub>D</sub>が増加するにつれて逆方向電界によりキャリアである電子の数が増大するとともに第1のシリコンゲート電極7への注入が生じ易くなる。一方、V<sub>D</sub>が増大すると、電子は横方向電界からエネルギーを受け、いわゆる"ホット"な状態となり、さらにV<sub>D</sub>が増大したれば破壊が生じると、そのエネルギーがシリコン基板1と第1のゲート酸化膜6との界面の障壁よりも大きい電子は障壁を越えて第1のシリコンゲート電極7へ注入される。

以上のような半導体記憶装置において、注入電流を可能な限り大きくして書き込みを容易におこなわせることが望まれており、本願の目的

は一定のドレイン電圧下で構成が複雑にならずに上記要領を達することのできる半導体記憶装置を提供することである。

本発明者は種々の実験をおこない、ゲート電圧V<sub>G</sub>とドレイン電圧V<sub>D</sub>との関係を調べた結果、第1のシリコンゲート電極とドレイン領域との間の容量を大きくすることにより、電子の注入が生じ易くなることを以下のようにして見い出した。まず、電子の注入が生じるV<sub>G</sub>、V<sub>D</sub>の範囲を知るために、第1のシリコンゲート電極にも取り出し電極を設けた試験用記憶素子を作り第3図に示すように第1のシリコンゲート電極2と可変直流電圧源3とと電流計3とを接続し、ソース領域2に電流計3とを接続しシリコン基板2とともに溝地する。一方、ドレイン領域2に可変直流電圧源3と電流計3とを接続する。このような接続状態で、第2のシリコンゲート電極2に電圧を印加し、この値を変化させた所、電流計3および3を流れる電流値に変化がなく、第2のシリコンゲート電極2

は開放状態にしておいた。次に、一方の直流通圧源34の電圧 $V_F$ をパラメータとし、他方の直流通圧源37の電圧 $V_D$ と電流計36を流れる電流 $I_D$ との関係を測定した。この測定結果の一例を第4図に示す。この結果から、電圧 $V_D$ の増加とともに、メモリセルは飽和し、さらに $V_D$ を増加させると、なだれ波現象が生じる。このなだれ波現象が生じた時の $V_F$ と $I_D$ との関係を第5図に示す。したがつて、メモリセルは飽和領域で電圧 $V_D$ をドレイン領域23とシリコン基板21との間に形成されるpn接合の破壊電圧以下で且つ充分大きく、しかもメモリセルの飽和領域で、できるだけ $V_F$ を高く選ぶことにより、より大きな注入電流を得ることができる。したがつて注入条件は、飽和領域にあることから、式(1)において右辺の第2項で $Q_8=0$ とおいた $\{C_2(V_0-V_D)-(C_1+C_2)V_D\}/(C_1+C_2+C_3+C_4)$ が負である時に電子の注入がおこる。また第5図からわかる様に、 $V_F$ が大きいほど注入電流が増大し、このため式(1)において

$C_4$ を増加させることにより、既に述べた条件下に選んだ一定の $V_D$ に対して $V_F$ が増大し、したがつて注入電流が増大し、書き込みを容易におこなうことができる。また式(1)より明らかのように、第1のシリコンゲート電極27とソース領域22との間の容量 $C_5$ を減少させることにより $V_F$ が増大し、書き込みが容易におこなわれる。即ち、 $C_5$ を大きく $C_5$ を小さく選ぶことが好ましい。

次に、この発明の一実施例に係る半導体記憶装置を第6図を参照して、その製造方法の一例とともに説明する。

比抵抗6~8Ωcmのn導電形シリコン基板41上に例えば厚さ約1μmの熱酸化膜42を形成した後、メモリセル部43に存在する熱酸化膜42の部分を通常の写真蝕刻法を用いて除去し、基板41の一部を露出する。次に厚さ約1000Åの第1のゲート酸化膜44を熱酸化により基板41の露出面に形成する。そしてシランの露素中約700°Cでの熱分解により厚さ約3500Å

の多結晶シリコン膜45を酸化膜上に形成し、このシリコン膜45中に構を拡散してこの膜45を低抵抗化する。次にこの多結晶シリコン膜45の不要部分を写真蝕刻技術並びにプラズマエッティング技術を使用して除去し第1の多結晶シリコンゲート電極45にする。この第1の多結晶シリコンゲート電極45は従来技術に比してドレイン側に延びるよう形成されている。そして、このゲート電極45をマスクとしてこれの直下以外の第1のゲート酸化膜44を除去した後、第2のゲート酸化膜46を熱酸化により前記第1のゲート電極45を囲繞するよう形成する。次に、前記酸化膜上に多結晶シリコン膜47を約1800Åの厚さに気相成長させ、これに低抵抗化のための構を拡散した後、写真蝕刻技術、プラズマエッティング技術を使用して所要部分を残しエッチング除去して第2の多結晶シリコンゲート電極47を形成する。この場合、この第2のゲート電極47は、ドレイン側が前記第1のゲート45上に位置し、ソ-

ース側が第1のゲート45より突出して、基板41に対して第2のゲート酸化膜46を介して対面するようになつている。したがつて、第1のゲート電極45のドレイン側は、第2のゲート電極47の一端よりも突出している。この第1のゲート電極45と第2のゲート電極47との重複部分がメモリセルの所置のチャンネルと等しい長さになつている。そして、構を加速電圧170kV、注入量 $2 \times 10^{14}/cm^2$ の条件でイオン注入し前記基板41の表面所定部分にn導電形層48、49を形成する。これら層48、49は、前記基板41の第2のゲート酸化膜46直下では少し深くなるが、第1のゲート電極45のドレイン側端部並びに第2のゲート電極47のソース側端部直下の所では極く浅くなる。勿論、これら以外の所では酸化膜42並びに両ゲート電極45、47の重複部がマスクとなつてゐるために構は拡散されていない。次に、前記第2のゲート電極47をマスクとして、この電極47直下以外の第2のゲート酸化膜46の部

分をエッティング除去して基板 1 の一部を露出する。この露出した部分より溝を拡散して p+ 型導電形のソース領域 50 並びにドレイン領域 51 を形成する。これら領域 50, 51 は凹から明らかなように、ゲート電極 45, 47 の両側に夫々位置しており、これら領域 50, 51 上部から p+ 型導電形層 48, 49 が互いに対向するようになり出している。そして、全面に低温酸化膜 52 を形成し、これらのソース領域 50 並びにドレイン領域 51 上の一部にコンタクトホールを選択エッティングにより穿設する。最後に、この酸化膜 52 上にアルミニウムを蒸着し、適当にエッティングしてソース電極 53 並びにドレイン電極 54 を形成して半導体記憶装置を完成する。

上記のような構成を有する記憶装置においては、第 1 のゲート電極 45 が、第 2 のゲート電極 47 に比してドレイン側に、即ちドレイン領域 51 の p+ 型導電形層 49 上に延びており、このためこの第 1 のゲート電極 45 とドレイン領

域 51 との間の容量  $C_1$  は、従来技術のものと比べて著じるしく大きくなっている。また、第 1 のゲート電極 45 と第 2 のゲート電極 47 とは重複部分が従来とほとんど同じに形成できるので、これらの間の容量  $C_2$  は従来技術のものと変わらない。このため、この差は書き込みが頗る容易となっている。また上記製造方法並びに構成からも明らかのように、この装置の構成は簡単であり、かつ製造も容易である。

この発明の半導体記憶装置は上記製造方法に限定されるものではなく、例えば次のよう変形が可能である。上記方法では、構のイオン注入をおこなつた後、に構の拡散をおこなつてソース領域並びにドレイン領域を形成したが、第 2 のシリコンゲート電極の形成後、この電極をマスクとして第 2 のゲート酸化膜をオキサイドエッティングにより除去し、その後構拡散をおこなつてソース領域並びにドレイン領域を形成してから、構のイオン注入をおこなつて、メモリセル部の第 1 のシリコンゲート電極と第 2 のシ

リコンゲート電極の直埋しない部分のシリコン基板表面および内部に p+ 型導電形層を形成しても良い。なお、上記実施例のようにドレイン側の p+ 型導電形層をイオン注入により浅く形成したのは、不純物の注入を生じ易くするためであり、例えばイオン注入をおこなわず、ソース領域の端部が第 1 のシリコンゲート電極の端部に到達するまで、拡散をおこなつても良く、この方法によればソース領域とゲート電極との間の容量  $C_1$  を極力小さくすることができます。

上記実施例では、チャネルシリコンゲート MOS 形メモリセルについて述べたが、ゲート電極は多結晶シリコン以外の導電性物質、例えば Mo, W 等でも形成することができます。また、チャネルに形成しても良い。また第 1 並びに第 2 のゲート電極からなる 2 層の電極構造のメモリセル以外の構造、例えば 1 層のフローティング電極構造或いは 3 層以上の電極構造でも良い。

以上説明したように、この発明の半導体記憶

装置においては、ソース領域とドレイン領域との間に位置するゲート電極を、ドレイン側により延出させて、これとドレイン領域との間の容量を大きくしているので書き込み効率が頗る優れる。また、構造においても、従来の構造と比較して複雑になるようなことがなく、製造も簡単である。

#### 4. 図面の簡単な説明

第 1 図は従来の半導体記憶装置を示す断面図、第 2 図はこの種装置の容量関係の等価回路図、第 3 図はこの発明の技術思想を説明するための半導体記憶装置とこれの配線図、第 4 図は、同装置の  $I_D - V_D$  特性曲線図、第 5 図は同装置のせんれ破壊時の  $V_F - I_F$  特性曲線図そして第 6 図はこの発明の一実施例に係る半導体記憶装置の断面図である。

41 …シリコン基板 44 …第 1 のゲート酸化膜

45 …第 1 のゲート電極 46 …第 2 のゲート酸化膜

47 …第 2 のゲート電極 48, 49 …p+ 型導電形層 (字打)

50 …ソース領域 51 …ドレイン領域

5.3 … ソース電極

5.4 … ドレイン電極

出願人代理人 ブリヂストン 江 武彦

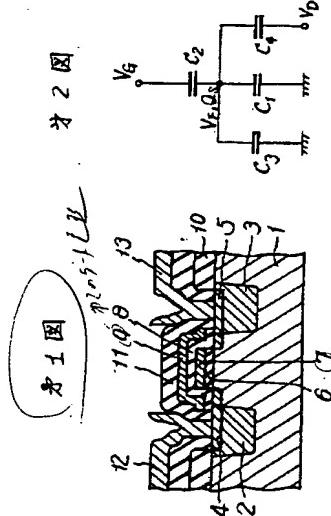


図3 図

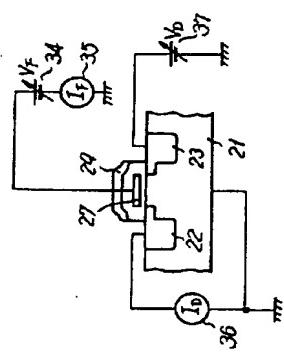


図4 図

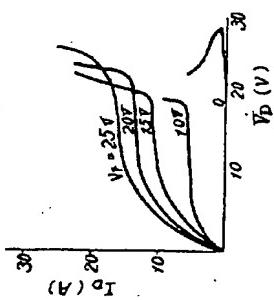


図5

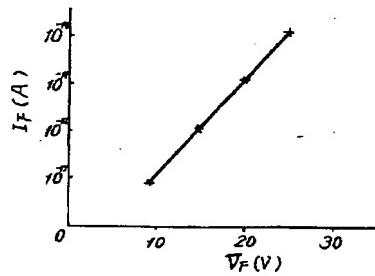


図6

